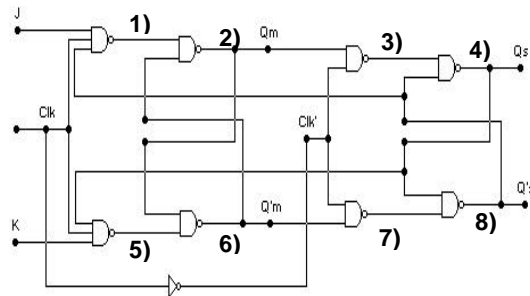




DASAR FLIP-FLOP

ELK-DAS.31
20 JAM



Penyusun :

TIM FAKULTAS TEKNIK
UNIVERSITAS NEGERI YOGYAKARTA

DIREKTORAT PENDIDIKAN MENENGAH KEJURUAN
DIREKTORAT JENDERAL PENDIDIKAN DASAR DAN MENENGAH
DEPARTEMEN PENDIDIKAN NASIONAL

EDISI 2001

KATA PENGANTAR

Modul dengan judul “**DASAR FLIP-FLOP**” merupakan bahan ajar yang digunakan sebagai panduan praktikum peserta diklat (siswa) Sekolah Menengah Kejuruan (SMK) untuk membentuk salah satu bagian dari kompetensi Penerapan Konsep Dasar Elektro pada Bidang Keahlian Teknik Elektro.

Modul ini berisi pengenalan konsep dasar flip-flop yang terbagi atas 3 Kegiatan Belajar, yaitu kajian tentang R-S flip-flop pada Kegiatan Belajar 1, kajian tentang T flip-flop pada Kegiatan Belajar 2, sedangkan pada Kegiatan Belajar 3 membahas tentang kajian T flip-flop, JK flip-flop dan Master Slave JK flip-flop. Uraian modul ini menekankan pada penguasaan teori, kemampuan membaca gambar diagram dan mengenal struktur flip-flop yang ada di pasaran.

Karena sifatnya yang sangat mendasar maka modul ini memiliki keterkaitan dengan modul-modul lain yang bersifat penerapan dasar flip-flop dalam rangkaian yang lebih kompleks. Jadi, pemahaman yang benar tentang konsep dasar flip-flop ini merupakan prasyarat yang utama untuk memperlancar kegiatan belajar yang akan datang.

Yogyakarta, Nopember 2001

Penyusun.
Tim Fakultas Teknik
Universitas Negeri Yogyakarta

DESKRIPSI JUDUL

Modul Dasar Flip-flop ini meliputi: rangkaian Latch, SR Flip-flop, D Flip-flop, T flip-flop, JK flip-flop, dan Master-slave JK flip-flop. Modul ini diarahkan untuk penguasaan teori flip-flop dari bangunan dasar berbasis gerbang NAND, maupun gerbang NOR.

Dalam modul ini mencakup pula simbol-simbol flip-flop dan tabel kebenarannya serta dikenalkan juga aplikasi penggunaan Latch. Modul diakhiri dengan materi kerja Master Slave JK flip-flop yang merupakan kulminasi kesempurnaan rangkaian flip-flop serta dikenalkan struktur Master Slave JK flip-flop keluarga TTL maupun CMOS yang terdapat di pasaran.



PRASYARAT

Untuk melaksanakan modul **DASAR FLIP-FLOP** diperlukan kemampuan awal yang harus dimiliki oleh peserta diklat, yaitu :

- Peserta diklat memiliki pengetahuan tentang dasar-dasar penguat
- Peserta diklat memiliki pengetahuan tentang gerbang dasar
- Peserta diklat memiliki pengetahuan tentang Aljabar Boole
- Peserta diklat dapat membaca dan memahami Peta Karnaugh

DAFTAR ISI

	Halaman
HALAMAN JUDUL	i
KATA PENGANTAR	ii
DESKRIPSI JUDUL	iii
PETA KEDUDUKAN MODUL	iv
PRASYARAT	v
DAFTAR ISI	vi
PERISTILAHAN / GLOSSARY	viii
PETUNJUK PENGGUNAAN MODUL	ix
TUJUAN	x
1. Tujuan Akhir	x
2. Tujuan Antara	x
KEGIATAN BELAJAR 1	1
Lembar Informasi	1
Lembar Kerja	9
Kesehatan dan Keselamatan Kerja	9
Langkah Kerja	10
Lembar Latihan	11
KEGIATAN BELAJAR 2	13
Lembar Informasi	13
Lembar Kerja	19
Kesehatan dan Keselamatan Kerja	19
Langkah Kerja	19
Lembar Latihan	21
KEGIATAN BELAJAR 3	22
Lembar Informasi	22
Lembar Kerja	33
Kesehatan dan Keselamatan Kerja	33

Langkah Kerja	33
Lembar Latihan	34
LEMBAR EVALUASI	35
LEMBAR KUNCI JAWABAN	37
Kunci Jawaban Kegiatan Belajar 1	37
Kunci Jawaban Kegiatan Belajar 2	38
Kunci Jawaban Kegiatan Belajar 3	39
Kunci Jawaban Lembar Evaluasi	40
DAFTAR PUSTAKA	

PERISTILAHAN/GLOSSARY

Bistabil adalah kondisi dimana komponen memiliki dua keadaan stabil

Data in adalah data-data yang masuk

D flip-flop adalah data flip-flop

Diskrit komponen adalah komponen tunggal yang bukan IC

Flip-flop adalah keluarga multivibrator dengan dua keadaan stabil

IC (Integrated Circuit) adalah komponen terpadu.

Master Slave JK flip-flop adalah flip-flop yang kerjanya seperti tuan dan budak.

Memori adalah keadaan menyimpan

Race around condition adalah kondisi saling berpacu dari 0 ke 1

Q' yaitu inversi dari Q

S-R flip-flop adalah set dan reset flip-flop

Sinkron yaitu serempak

T flip-flop adalah toggle flip-flop

PETUNJUK PENGGUNAAN MODUL

Langkah-langkah yang harus dilakukan untuk mempelajari modul ini :

1. Persiapkan alat dan bahan yang digunakan pada setiap kegiatan belajar.
2. Baca dengan seksama lembar informasi pada masing-masing kegiatan belajar.
3. Pelajarilah kegiatan belajar 1, kerjakan permasalahan pada lembar kerja secara terpisah, dan kumpulkan pada instruktur hasil pekerjaan untuk di evaluasi.
4. Kerjakan lembar evaluasi sebagai tes formatif. Cocokkan jawabannya dengan kunci jawaban yang telah tersedia.
5. Jika belum menguasai level materi yang diharapkan, ulangi lagi pada kegiatan belajar atau tanyakan pada instruktur untuk mengambil kegiatan remidi.
6. Dan ikutilah petunjuk b sampai d untuk kegiatan belajar selanjutnya.

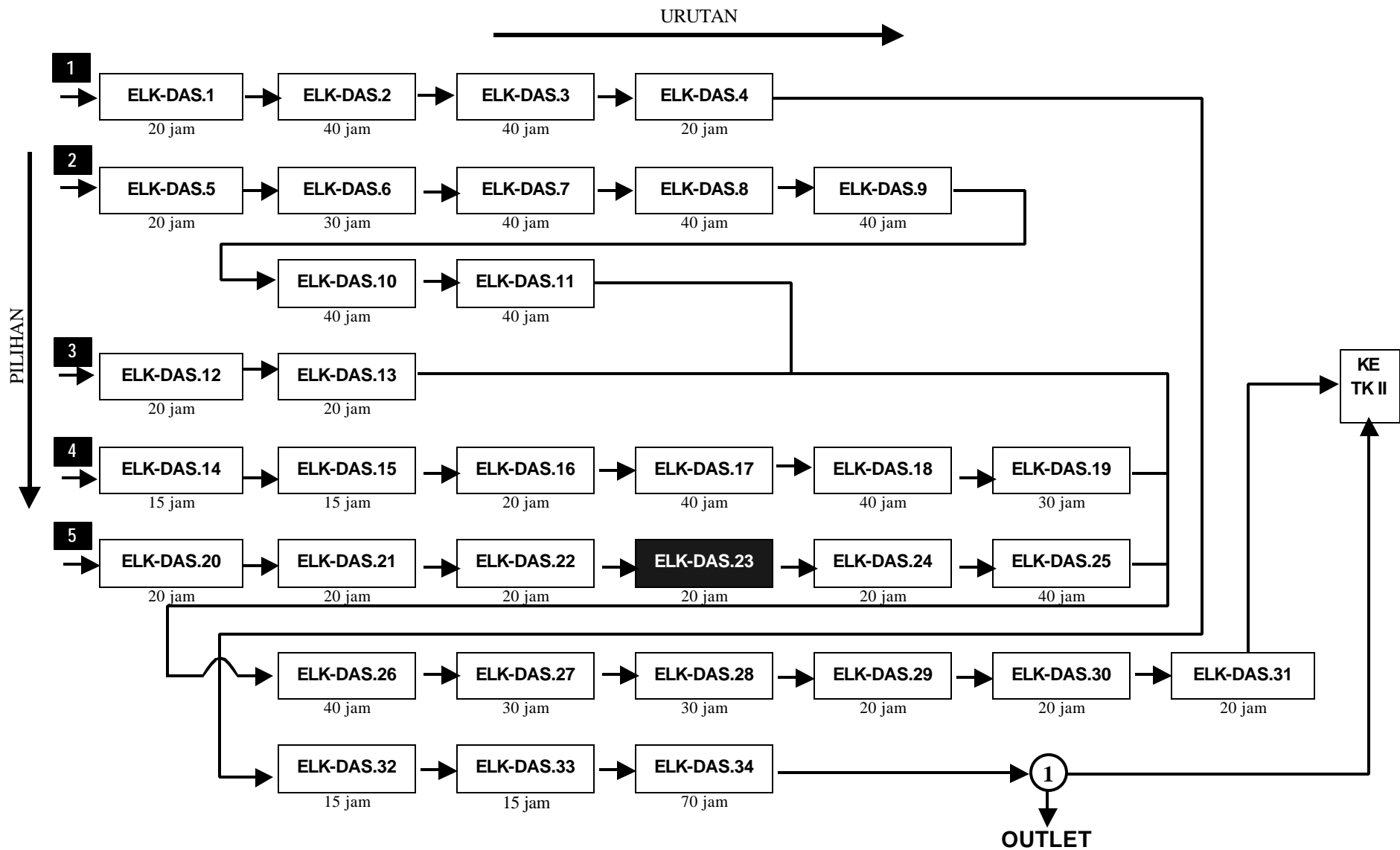
TUJUAN

1. Tujuan Akhir

- Peserta diklat mampu mengidentifikasi dan menyebutkan berbagai macam jenis Flip-flop.
- Peserta diklat mampu menunjukkan karakteristik masing-masing flip-flop
- Peserta diklat mampu menggambarkan bentuk gelombang keluaran flip-flop
- Peserta diklat mampu menunjukkan perbedaan flip-flop yang satu dengan yang lain dan mengimplementasikannya dalam bentuk rangkaian

2. Tujuan Antara

- Peserta diklat mampu memahami prinsip kerja R-S flip-flop dan proses *preset* dan *clear* pada R-S flip-flop serta dapat mengimplementasikan R-S flip-flop yang dibangun dengan IC NAND 7400
- Peserta diklat mampu memahami prinsip kerja D flip-flop *edge-triggered* dan mengimplementasikan D flip-flop dengan IC NAND 7400
- Peserta diklat mampu memahami rangkaian saklar debouncing menggunakan pengancing (*latch*) untuk menghindari terjadinya bouncing pada T flip-flop
- Peserta diklat mampu memahami prinsip kerja dari J-K flip-flop dan Master Slave J-K flip-flop yang dibentuk dari RS flip-flop dan gerbang AND



 Kedudukan Modul

Peta Kedudukan Modul SMK Bidang Keahlian Teknik Elektro Tingkat I – Teknik Listrik

KEGIATAN BELAJAR 1

S-R FLIP-FLOP

Lembar Informasi

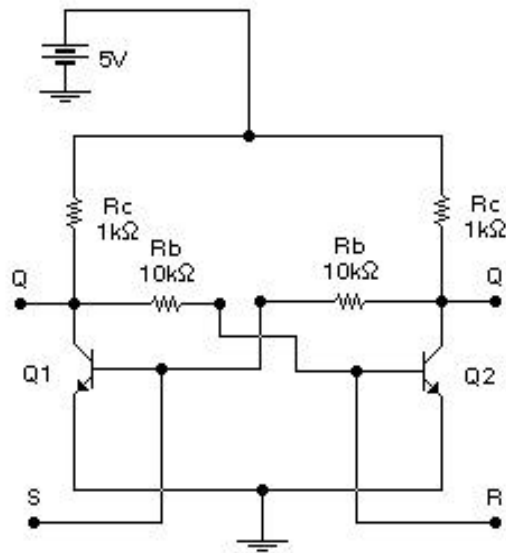
Pada kegiatan belajar ini, peserta diklat diperkenalkan pada rangkaian dasar flip-flop, mulai dari rangkaian pengancing menggunakan komponen diskrit, pengancing menggunakan komponen digital, sampai terbentuknya rangkaian S-R flip-flop. Sebuah piranti yang dapat menunjukkan dua keadaan stabil yang ber-beda disebut *Multivibrator Bistabil*. Dinamakan flip-flop, karena dua buah keluarannya selalu dalam keadaan yang berlawanan, yaitu keadaan flip (level satu) untuk keadaan yang satu, dan keadaan flop (level nol) untuk keadaan yang lainnya atau sebaliknya.

Pada umumnya flip-flop mempunyai dua buah masukan pengontrol dan dua buah keluaran, yang kinerjanya mempunyai dua keadaan stabil mantap. Disebut dengan keadaan stabil karena keadaan keluarannya selalu tetap/tidak berubah, selama tidak ada pengaruh dari luar rangkaian. Misalnya, keluaran rangkaian dalam keadaan stabil mantap pada $Q=1$ dan $Q'=0$, keadaan ini akan tetap demikian, sampai ada masukan tertentu yang dapat mengubah keluaran berubah menuju kestabilan yang lain yaitu keadaan stabil mantap $Q=0$ dan $Q'=1$. Piranti ini dapat dipergunakan sebagai elemen memori dalam sistem biner.

1. Rangkaian flip-flop yang dibentuk dari komponen diskrit

Diagram flip-flop yang menggunakan komponen diskrit, yaitu rangkaian yang dibentuk dari 2 buah transistor bipolar Q1 dan Q2, dua buah resistor kolektor R_C , dan dua buah resistor base R_b seperti pada Gambar 1. Pada dasarnya rangkaian flip-flop ini terdiri dari dua buah

penguat inversi yang dihubungkan saling silang, keluaran penguat yang satu dihubungkan dengan masukan yang lain, dan sebaliknya.



Gambar 1. Rangkaian flip-flop dari komponen diskrit

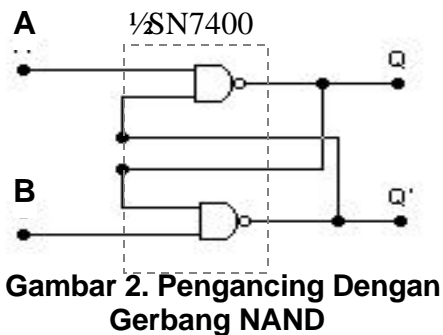
Gambar 1. adalah rangkaian yang terbentuk dari dua transistor bipolar dan empat resistor yang menunjukkan rangkaian saling silang. Dengan memberi sinyal positif pada base (S), transistor Q_1 on jenuh, tegangan kolektor Q_1 rendah (antara 0,2 sampai 0,4 V), tegangan yang rendah ini, melalui resistor R_b mengikat base transistor Q_2 menjadi keadaan off, mengakibatkan tegangan kolektor Q_2 naik mendekati sumber V_{cc} (tinggi), selanjutnya tegangan ini akan mengancing base Q_1 tetap tinggi sehingga keluaran Q_1 tetap rendah.

Dengan demikian terjadi kestabilan pada keadaan keluaran Q_1 rendah, dan keluaran Q_2 tinggi. Keadaan ini akan tetap demikian,

sebelum ada sinyal pada base, yang dapat mengubah flip-flop dalam keadaan stabil berikutnya.

2. Pengancing flip-flop yang dibentuk dari gerbang NAND

Pengancing adalah sebuah flip-flop paling awal yang digunakan sebagai penyimpan data, karena rangkaianannya yang sederhana, dibandingkan dengan flip-flop lainnya. Gb.1.1. adalah rangkaian pengancing R-S yang menggunakan komponen diskrit. Jika kedua transistor dan resistor-resistornya diganti dengan dua buah gerbang NAND dua-masukan (1/2 IC SN7400) maka dihasilkan rangkaian pengancing NAND



Tabel 1. Pengancing Dengan Gerbang NAND

Tabel Kebenaran			
A	B	Q	Q'
0	0	1*	1*
0	1	1	0
1	0	0	1
1	1	Tidak berubah	
* larangan			

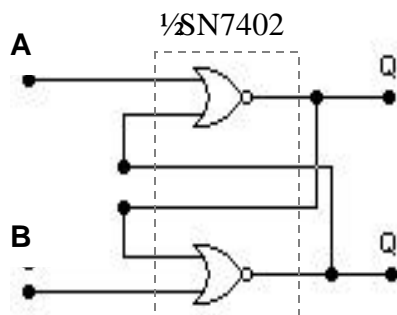
Gambar 2. adalah rangkaian pengancing yang menggunakan gerbang NAND, terdiri dari dua buah masukan pengontrol A dan B, dan dua buah keluaran Q dan Q'. Masukan A dan B ini dikenal sebagai pengontrol tak serempak karena keluarannya segera berubah bila masukannya berubah. Perubahannya seperti yang ditunjukkan dalam Tabel 1. Logika 0 dan 1 dalam Tabel 1. merepresentasikan 0,2 V dan 3,3 V untuk notasi logika positif.

Pada Tabel 1. terdapat empat variasi keadaan masukan kontrol pengancing A-B, yaitu 0-0, 0-1, 1-0, dan 1-1. Notasi Q' menunjukkan inversi dari keluaran Q, artinya kalau Q=1 maka Q'=0 atau sebaliknya. Pada keadaan masukan A=B=0 terjadi keadaan keluaran Q=Q'=1 keadaan ini adalah keadaan terlarang karena keluaran Q' bukan inversi keluaran Q, maka terjadi keadaan *flip-flop*. Hal ini tidak diperkenankan karena menyimpang dari definisi *flip-flop*.

Pada keadaan masukan A tidak sama dengan B, maka keadaan keluaran Q selalu sama dengan masukan B, dan pada masukan A=B=1 akan terjadi keadaan keluaran yang tidak berubah, atau dalam keadaan memori, karena keluarannya sesuai keadaan keluaran sebelumnya.

3. Pengancing flip-flop yang dibentuk dari gerbang NOR

Bila gerbang NAND pada rangkaian Gambar 2. diganti dengan gerbang NOR maka terbentuk rangkaian pengancing yang dibangun dengan gerbang NOR (1/2 IC SN7402) seperti ditunjukkan Gambar 3. yang tabel kebenarannya ditunjukkan dalam Tabel 2.



Gambar 3. Pengancing Dengan Gerbang NOR

Tabel 2. Pengancing Dengan Gerbang NOR

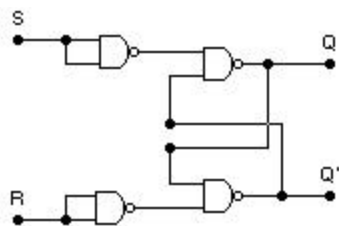
Tabel Kebenaran			
A	B	Q	Q'
0	0	Tidak berubah	
0	1	1	0
1	0	0	1
1	1	0*	0*
*larangan			

Pada keadaan masukan $A=B=0$ terjadi respon pada keluaran Q dan Q' seperti keadaan keluaran sebelumnya yang tidak berubah, maka hal ini disebut *keadaan memori*. Pada keadaan masukan $A=0, B=1$, dan $A=1, B=0$, keluaran identik dengan pengancing NAND, yaitu keluaran Q selalu sama dengan masukan B . Pada keadaan masukan $A=B=1$ keadaan keluaran $Q=Q'=0$, maka tidak terjadi *flip-flop*, melainkan *flop-flop* sehingga keadaan ini penyimpangan dari definisi flip-flop.

4. R-S flip-flop

R-S atau S-R flip-flop adalah tipe flip-flop yang mempunyai masukan tak sinkron S (set) atau R (reset) atau keduanya, dan keluaran Q dan Q' . Gb.1.4. menunjukkan R-S flip-flop dengan tabel kebenarannya seperti pada Tabel 3.

Dengan menambah inverter pada kedua masukan rangkaian pengancing NAND Gambar 2. dan memberi label S dan R pada kedua masukannya menjadikan tabel kebenaran memenuhi standarisasi piranti R-S flip-flop yang lebih kompleks.



Gambar 4. R-S Flip-flop

Tabel 3. R-S Flip-flop

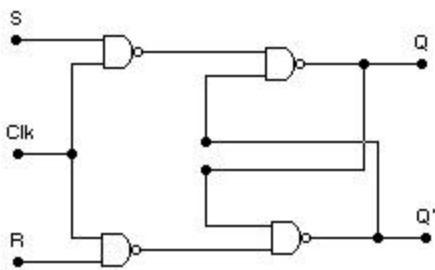
Tabel Kebenaran				
R	S	Q	Q'	Mode
0	0	Q_{t-1}	Q'_{t-1}	Memori
0	1	1	0	Set
1	0	0	1	Reset
1	1	1*	1*	invalid
* keadaan invalid (terlarang)				

Dalam tabel kebenaran keadaan $S=R=1$ sebagai keadaan terlarang, sementara keadaan memori terjadi pada saat $S=R=0$. Dengan demikian keluaran Q dan Q' selalu dalam keadaan komplemen selama tidak terjadi keadaan invalid $S=R=1$. Kinerja dari dasar R-S flip-flop dapat disimpulkan sebagai berikut :

1. Keluaran Q selalu mengikuti masukan S sepanjang masukan S dan R berbeda, kondisi *set* bila $S=1$ dan *reset* bila $S=0$
2. Rangkaian “mengingat “ keadaan terakhir sepanjang $S=R=0$
3. Kondisi masukan invalid adalah $R=S=1$

5. R-S flip-flop terdetak.

Masukan R dan S pada rangkaian R-S flip-flop dapat disinkronisasi dengan menambahkan masukan klok (detak) pada rangkaian seperti pada Gambar 5. Keluaran Q pada R-S flip-flop tidak dapat segera merespon masukan S dan R sebelum ada masukan klok. Respon keluaran R-S flip-flop dari masukan-masukannya dapat dilihat dalam Tabel 4.



Gambar 5. R-S Flip-flop Terdetak

Tabel 4. R-S Flip-flop Terdetak

Tabel Kebenaran					
R	S	Clk	Q	Q'	Mode
x	x	0	Q_t	Q'_t	Memori
0	0		Q_t	Q'_t	Memori
0	1		1	0	Set
1	0		0	1	Reset
1	1		1*	1*	invalid

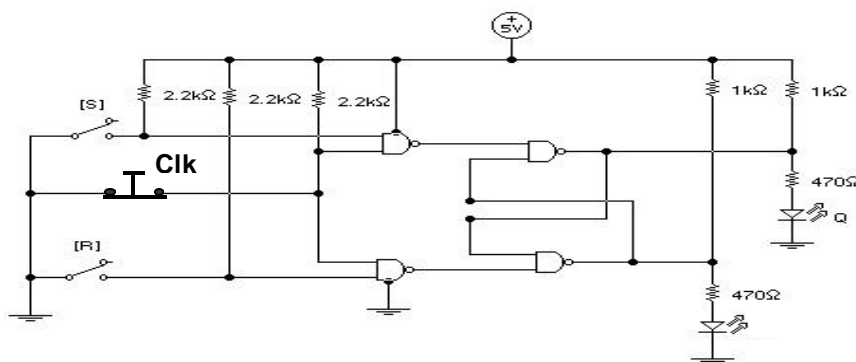
x = sembarang Q_t = keluaran sebelum klok
 * = terlarang

Kondisi respon R-S flip-flop terdetak sama seperti kondisi respon tanpa klok, bedanya keluaran hanya merespon masukan S dan R setelah terjadi klok =1. Kinerja rangkaian R-S flip-flop terdetak dapat disimpulkan sebagai berikut:

- Keluaran Q selalu mengikuti masukan S selama Clk = 1 dan masukan S dan R berbeda
- Rangkaian mempunyai dua mode memori (keluaran Q tetap sesuai keadaan sebelumnya) bila :
 - a) Klok Clk = 0 tanpa memperhatikan masukan S dan R
 - b) Klok Clk =1, dan R=S=0
- Kondisi masukan invalid terjadi bila R=S=Clk=1

6. Implementasi R-S flip-flop yang dibangun dengan IC NAND 7400

Implementasi praktis rangkaian R-S flip-flop pada Gambar 6. dibangun dengan sebuah IC gerbang NAND 7400, 5 resistor pull up, 2 resistor pembatas, 2 buah indikator LED, 2 buah saklar, dan sebuah tombol Clk, beserta sumber tegangan 5 Volt DC. Tombol Clk dalam posisi normal tertutup, rangkaian dalam mode memori, dengan menekan tombol Clk berarti keluaran dikontrol oleh saklar masukan S dan R. Resistor 2.2K dan 1 K adalah resistor-resistor *pull up* yang bernilai logik 1 bila tidak dihubungkan dengan 0 (Ground)



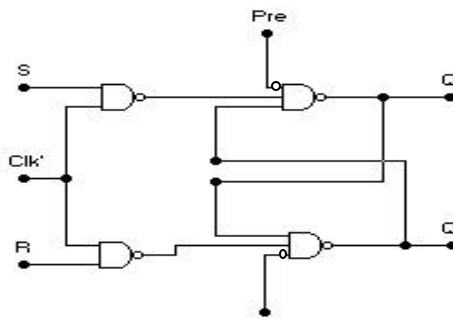
Gambar 6. Rangkaian R-S Flip-Flop

Saklar S dan R dapat diset sesuai dengan nilai logik masukan S dan R yang dikehendaki, setelah tombol Clk ditekan respon rangkaian terlihat pada keluaran LED, dan setelah tombol Clk dilepas, masukan S dan R dapat diubah tanpa mempengaruhi keluaran sampai tombol Clk ditekan lagi.

7. Preset dan Clear pada R-S Flip-flop

Dengan penambahan *Preset* (Pre) dan *Clear* (Clr), seperti pada Gambar 7. yang pada ujungnya diberi tanda \circ (*inverter*), rangkaian dapat dikendalikan dengan masukan tak sinkron. Masukan Pre dan Clr, dapat digunakan untuk penghapusan atau pengesetan data keluaran, sesuai Tabel 5.

- Pengesetan langsung $Q=1$ dapat dilakukan dengan memberi masukan $Pre=1$ dan $Clr=0$, tanpa memperdulikan masukan R dan S
- Penghapusan langsung $Q=0$ dilakukan dengan memberi masukan $Pre=0$ dan $Clr=1$, tanpa memperdulikan masukan R dan S
- Rangkaian dalam keadaan modus operasi, bila masukan $Pre=Clr=0$



Gambar 7. R-S Flip-flop Terdetak Dengan Preset dan Clear

**Tabel 5. R-S Flip-flop Terdetak
Dengan Preset dan Clear**

Tabel Kebenaran							
Pre	Clr	R	S	Clk	Q	Q'	Mode
1	1	x	x	x	1	1	Invalid**
1	0	x	x	0	1	0	Set**
0	1	x	x	0	0	1	Reset**
0	0	x	x	0	Q _t	Q' _t	Memori
0	0	0	0		Q _t	Q' _t	Memori
0	0	0	1		1	0	Set
0	0	1	0		0	1	Reset
0	0	1	1		1*	1*	invalid

x = sembarang Q_t = tetap
 * = invalid (larangan) ** = tak sinkron

Lembar Kerja

Alat dan bahan :

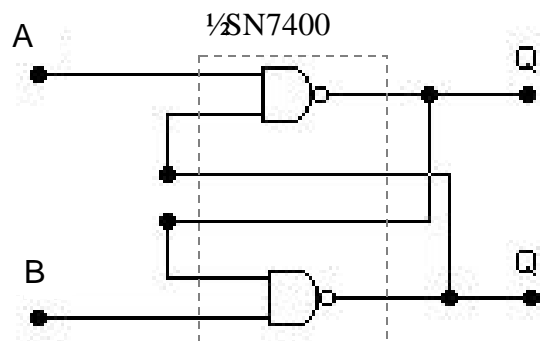
1. Power supply DC 5 Volt 1 unit
2. IC SN7400 1 unit
3. IC SN7402 1 unit
4. LED 2 buah
5. Kabel penghubung secukupnya

Kesehatan dan Keselamatan Kerja :

1. Gunakanlah pakaian praktik !
2. Bacalah dan pahami petunjuk praktikum pada setiap lembar kegiatan belajar !
3. Janganlah memberikan tegangan pada rangkaian melebihi batas yang ditentukan !
4. Hati-hati dalam melakukan praktik !

Langkah Kerja

1. Siapkan alat dan bahan yang akan digunakan !
2. Buatlah rangkaian seperti pada Gambar 8.
3. Beri tegangan DC 5 Volt pada rangkaian !
4. Beri perlakuan pada kaki A dan B seperti Tabel 6. !
5. Perhatikan respon keluaran kaki Q dan Q' lewat indicator LED !
6. Masukkan hasil praktik pada Tabel 6. !

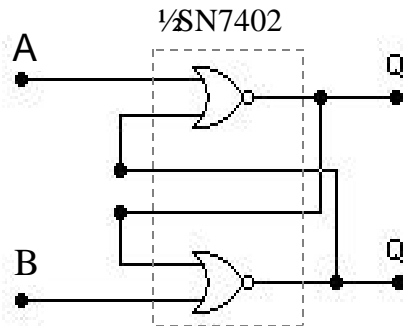


Gambar 8. Pengancing Dengan Gerbang NAND

Tabel 6. Pengancing Dengan Gerbang NAND

Tabel Kebenaran				
No	A	B	Q	Q'
1.	0	0		
2.	0	1		
3.	1	1		
4.	1	0		
5.	1	1		

7. Turunkan tegangan sumber sampai 0 volt, kemudian buat rangkaian seperti Gambar 9. !
8. Lakukan hal yang sama seperti pada langkah 4 – 6, untuk Tabel 7. !



Tabel 7. Pengancing Dengan Gerbang NOR

Tabel Kebenaran				
No	A	B	Q	Q'
1.	1	1		
2.	0	1		
3.	0	0		
4.	1	0		
5.	0	0		

Gambar 9. Pengancing Dengan Gerbang NOR

9. Jika selesai praktik, lepas semua rangkaian dan kembalikan alat dan bahan ke tempat semula !









Lembar Latihan

1. Buat tabel Kebenaran lengkap dengan respon Q dan Q' untuk tiap-tiap percobaan !
2. Untuk rangkaian seperti Gambar 8. pada sinyal nomor berapa saja, terjadi keadaan terlarang, keadaan memori, dan keadaan keluaran Q = masukan B ?
3. Untuk rangkaian seperti Gambar 9. pada sinyal nomor berapa terjadi keadaan terlarang, keadaan memori, dan keadaan keluaran Q sama dengan masukan B
4. Apa yang disebut keadaan stabil mantap?
5. Apa maksud penambahan masukan klok pada flip-flop ?
6. S-R flip-flop terdetak standard mempunyai keluaran awal Q_t dan Q'_t , dan keluaran setelah klok Q_{t+1} dan Q'_{t+1} . Bila kondisi awal

masukan R, S dan keluaran awal Q_t seperti tertera dalam tabel, tentukan keluaran Q_{t+1} dan kondisi modenyanya !

Sebagai contoh baris no. 1 masukan $R=0, S=0$, dan keluaran $Q_t=0$, maka setelah diklok=0 karena $Q_{t+1}=Q_t$ pada $R=S=0$ maka modenyanya adalah mode memori (Tabel 8.)

Tabel 8. S-R Flip-flop Terdetak Standar

Tabel Kebenaran						
No	R	S	Q_t	Clk	Q_{t+1}	Mode
1	0	0	0		0	Memori
2	0	0	1			
3	0	1	0			
4	0	1	1			
5	1	0	0			
6	1	0	1			
7	1	1	0			
8	1	1	1			

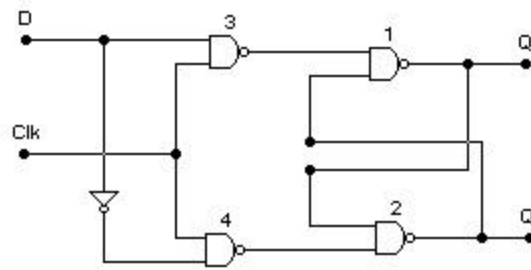
KEGIATAN BELAJAR 2

T FLIP-FLOP

Lembar Informasi

Pada kegiatan ini dibicarakan cara mengatasi kondisi invalid pada R-S flip-flop. Kondisi masukan yang invalid, terjadi pada keadaan masukan R dan S berlogik 1 pada saat yang sama. Kondisi ini dapat dihindari bila salah satu gerbang masukan RS flip-flop merupakan komplemen masukan yang lain. Dengan penambahan inverter pada salah satu masukannya terbentuklah D flip-flop. Disamping itu juga dibicarakan implementasi D flip-flop dalam rangkaian yang menggunakan gerbang NAND IC 7400.

Rangkaian D flip-flop yang dibentuk oleh gerbang NAND ditunjukkan dalam Gambar 10. Rangkaian ini sama seperti R-S flip-flop yang menggunakan NAND, tetapi antara masukan S dan R terpasang inverter yang membuat masukan R merupakan komplemen masukan S.



Gambar 10. D Flip-flop Dengan Gerbang NAND

Tabel 9.
D Flip-flop Dengan Gerbang NAND

Tabel Kebenaran				
D	Clk	Q	Q'	Mode
x	0	Q_{t-1}	Q'_{t-1}	Memori
0	1	0	1	Data in
1	1	1	0	Data in
x = sembarang Q_{t-1} = keluaran sebelumnya				

Pengesetan masukan klok Clk pada level 0, berarti masukkan gerbang NAND 3 dan 4 berlogik 0, keadaan ini menyebabkan keluaran kedua gerbang NAND tersebut berlogik 1, yang tidak mengubah keadaan keluaran pengancing gerbang NAND 1 dan 2. Rangkaian ini dalam keadaan mode memori sepanjang klok Clk=0, lihat Tabel 9.

Pengesetan masukan klok Clk pada level 1, terjadi perpindahan kontrol keluaran rangkaian D flip-flop, pada masukan D. Keluaran Q=1 bila masukan D=1, dan keluaran Q=0 bila masukan D=0. Keluaran Q rangkaian D flip-flop selalu sama dengan masukan D, sepanjang klok Clk=1. Sedang keluaran Q' selalu merupakan komplemen dari masukan D.

Dalam kenyataan pengesetan klok Clk=1 membuat keluaran Q=D dan Q'=NOT D. Rangkaian D flip-flop tidak mempunyai mode masukan invalid sebagaimana terjadi pada R-S flip-flop. Dengan adanya inverter pada salah satu masukan S-R flip-flop, kondisi invalid tidak akan terjadi. Mode invalid terjadi pada R-S flip-flop saat keadaan kedua masukan R-S flip-flop berlevel 1 untuk waktu sama.

Keluaran Q selalu sesuai dengan masukan D selama Clk=1, dengan kata lain dalam rangkaian sepertinya masukan D berhubungan langsung dengan keluaran Q, atau melalui inverter dengan keluaran Q'. Mode memori

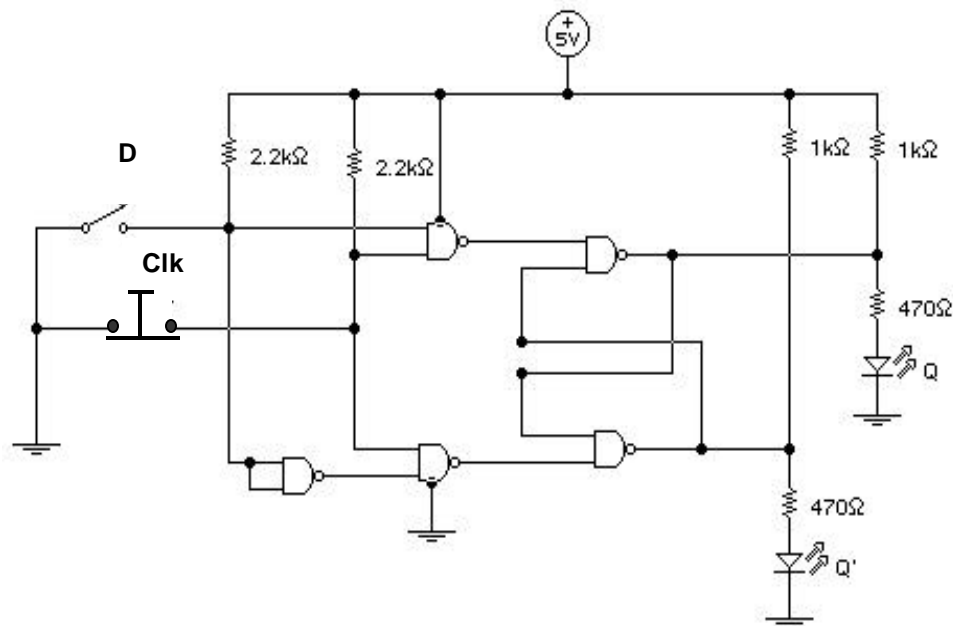
R=S=0, ketika Clk=1 pada R-S flip-flop tidak terjadi dalam D flip-flop, keadaan memori dalam D flip-flop hanya dapat terjadi ketika Clk=0, lihat baris pertama pada Tabel 9.

Kinerja dari D flip-flop dapat dirangkum sebagai berikut :

1. Keluaran Q selalu mengikuti masukan D sepanjang klock Clk=1
2. Flip-flop dalam keadaan mode memori sepanjang klock Clk=0
3. Rangkaian tidak mempunyai kondisi operasi invalid.

1. Implementasi D flip-flop dengan IC NAND 7400

Implementasi praktis rangkaian D flip-flop pada Gambar 11. dibangun dengan sebuah IC NAND 7400, $\frac{1}{4}$ IC NAND 7400 yang dipasang sebagai inverter, 4 resistor *pull up*, 2 resistor pembatas, 2 indikator LED, sebuah saklar D, dan sebuah tombol Clk, beserta sumber tegangan 5 Volt DC.

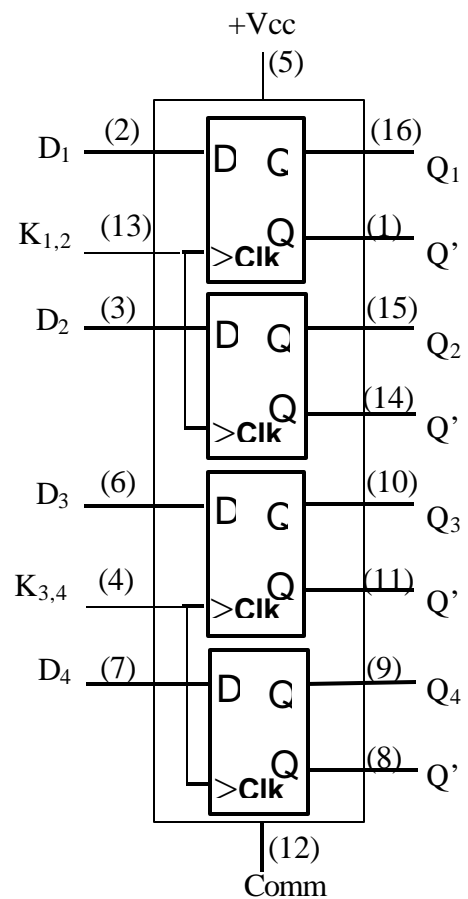


Gambar 11. D Flip-flop Dengan Gerbang NAND

Tombol Clk dalam posisi normal tertutup, rangkaian dalam mode memori, Resistor 2.2K Ω dan 1 K Ω adalah resistor resistor *pull up* yang bernilai logik 1 bila tidak dihubungkan dengan 0 (ground). Penekanan tombol Clk berarti melepas hubungan dengan ground, menjadikan masukan gerbang berlevel 1 lewat resistor *pull up* 2.2 K Ω .

Dengan demikian keluaran Q hanya bergantung pada masukan D. D flip-flop adalah flip-flop yang paling sederhana yang tersedia dalam kemasan IC TTL standard. IC7475 adalah jenis quad D *latch* yang mempunyai struktur internal seperti pada Gambar 12. dalam satu kemasan terdapat 4 D flip-flop yang masing-masing mempunyai masukan D secara terpisah, sepasang keluaran Q dan Q', serta masukan klok bersama K_{1,2} pada pin 13 untuk flip-flop 1 dan 2, dan K_{3,4} pada pin 4 untuk flip-flop 3 dan 4. Rangkaian ini sering digunakan sebagai penyimpan data sementara yang berkapasitas 4-bit data digital. Dengan cara menggabungkan kedua masukan klok K_{1,2}, K_{3,4} yang membuat semua flip-flop merespon klok secara serempak.

Data disiapkan pada ke empat masukan D, dan kemudian diset Klok K= 1, maka terjadi respon pemindahan data dari masukan D ke keluaran Q secara bersamaan. Data akan tetap tersimpan setelah klok K kembali ke 0.

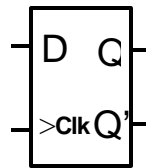


Gambar 12. Struktur internal TTL 7475 Quad D Latch

2. D flip-flop terpicu-sisi (Edge-Triggered)

D flip-flop jenis ini secara normal dalam keadaan mode memori baik klok pada logik 0 maupun pada logik 1. Hanya ada satu interval waktu yang sangat pendek yang dapat mengubah keadaan keluaran, yaitu masa perubahan dari 0 ke 1, atau perubahan dari 1 ke 0. Flip flop jenis ini hanya merespon pada sisi naik atau sisi turun dari sebuah bentuk gelombang masukan, selain itu D flip flop selalu dalam keadaan mode memori.

Simbol dan tabel kebenaran D flip-flop terpicu-sisi seperti yang ditunjukkan oleh Gambar 13. dan Tabel 10.

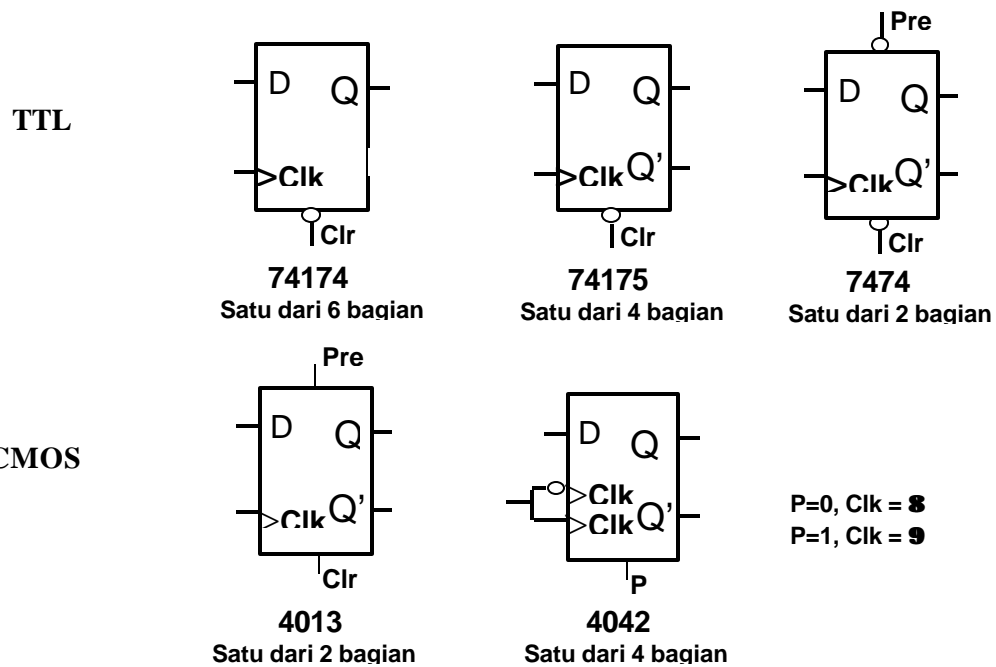


Gambar 13.
Simbol D Flip-flop

Tabel 10.
D Flip-flop Terpicu-Sisi

Tabel kebenaran				
D	Clk	Q	Q'	Mode
x	0	Q_t	Q'_t	Memory
x	1	Q_t	Q'_t	Memory
0	8	0	1	Data in
8	8	1	0	Data in

Diagram D flip-flop dari keluarga TTL dan keluarga CMOS yang ada dipasaran, seperti yang ditunjukkan dalam Gambar 14. Semua IC D flip-flop yang ada dipasaran ini adalah terpicu sisi positif kecuali IC CMOS 4042. IC 4042 mempunyai masukan P (*polarity*), yang disediakan untuk pilihan picu positif atau picu negatif dari masukan pulsa klok.



Gambar 14. Diagram IC D Flip-flop Keluarga TTL dan CMOS Yang Tersedia

- 7474 D flip-flop dual dengan picu positif, Clr dan Pre tak sinkron, dengan keluaran Q dan Q' (TTL)
- 74174 D flip-flop hexa dengan picu positif, Clr tak sinkron, dengan keluaran Q saja (TTL)
- 74175 D flip-flop quad dengan picu positif, Clr tak sinkron, dengan keluaran Q dan Q' (TTL)
- 4042 D flip-flop quad dengan picu positif atau negatif terprogram, dengan keluaran Q dan Q' (CMOS)
- 4013 D flip-flop dual dengan picu positif, Clr dan Pre logik positif tak sinkron, dengan keluaran Q dan Q' (CMOS)

Lembar kerja 2

Alat dan bahan :

1. Power supply DC 5 Volt1 unit
2. IC TTL 7474 (ekivalen) 1 unit
3. LED1 buah
4. Kabel penghubung secukupnya

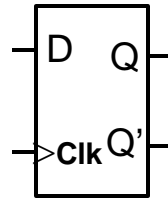
Kesehatan dan Keselamatan Kerja :

1. Gunakanlah pakaian praktik !
2. Bacalah dan pahami petunjuk praktikum pada setiap lembar kegiatan belajar !
3. Janganlah memberikan tegangan pada rangkaian melebihi batas yang ditentukan !
4. Hati-hati dalam melakukan praktik !

Langkah Kerja

1. Siapkan alat dan bahan yang akan digunakan !
2. Buatlah rangkaian D flip-flop dengan picu level seperti pada Gambar 15.
Ingat bahwa D flip-flop dengan picu level, Q_t adalah kondisi keluaran sebelum klok Clk dan Q_{t+1} adalah keluaran setelah terjadinya aksi klok.
3. Beri tegangan DC 5 Volt pada rangkaian !
4. Beri perlakuan pada kaki D, Q_t dan Clk seperti Tabel 11. !
5. Perhatikan respon keluaran kaki Q_{t+1} dan mode dan masukkan hasil praktik pada Tabel 11 !

Tabel 11. D Flip-flop Dengan Picu Level



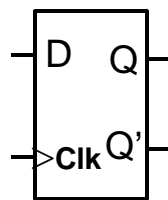
Simbol D Flip-flop

Tabel Kebenaran				
D	Q_t	Clk	Q_{t+1}	Mode
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

6. Lakukan kembali langkah 3 – 5 untuk rangkaian D flip-flop dengan picu-sisi dan masukkan hasilnya pada Tabel 12 !

Ingat bahwa D flip-flop dengan picu-sisi, Q_t adalah kondisi keluaran sebelum klok Clk dan Q_{t+1} adalah keluaran setelah terjadinya aksi klok.

Tabel 12. D Flip-flop Dengan Picu-sisi



Simbol D Flip-flop

Tabel Kebenaran				
D	Q_t	Clk	Q_{t+1}	Mode
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		
0	0	8		
0	1	8		
1	0	8		

7. Jika selesai praktik, lepas semua rangkaian dan kembalikan alat dan bahan ke tempat semula !

Lembar Latihan

1. Buat tabel kebenaran dari hasil praktik di atas !
2. Apa perbedaan esensial antara D flip-flop yang menggunakan picu level dengan D flip-flop yang menggunakan picu-sisi ?

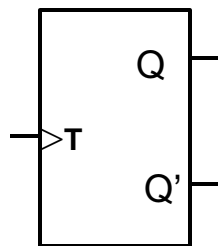
KEGIATAN BELAJAR 3

T FLIP-FLOP, J-K FLIP-FLOP DAN MASTER SLAVE J-K FLIP-FLOP

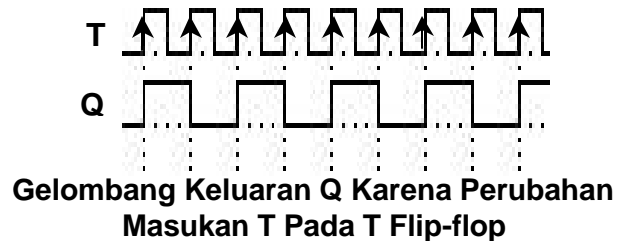
Lembar Informasi

Gambar 15. adalah diagram T flip-flop atau Toggel flip-flop, dan dilengkapi dengan tabel kebenarannya seperti ditunjukkan pada Tabel 13. Menurut Tabel 13. keluaran Q selalu berubah setiap kali terjadi perubahan gelombang masukan dari 0 ke 1, atau sisi naik dari sebuah gelombang masukan. Bila keluaran Q berada pada level 1, dan terjadi perubahan positif pada masukan T, keluaran Q berubah menjadi 0, dan bila terjadi sisi naik lagi pada masukan T, keluaran akan kembali ke level 1 lagi.

Keadaan togel ini terjadi pada keluaran, dari keadaan yang satu ke keadaan yang lain, terus menerus sepanjang pada masukan T diberikan gelombang pulsa. Bentuk gelombang yang ada pada Gambar menggambarkan terjadinya togel pada sisi naik dari pulsa masukannya.



Simbol T Flip-flop



Gambar 15. Simbol Dan Bentuk Gelombang T Flip-flop

Tabel 13. T Flip-flop

Tabel Kebenaran			
T	Q	Q'	Mode
8	Q'_{t-1}	Q_{t-1}	Toggle

Keluaran T flip-flop selalu berubah pada sisi naik dari setiap gelombang pulsa masukan T. T flip-flop yang dibicarakan adalah T flip-flop dengan picu sisi positif, tetapi ada juga T flip-flop dengan picu sisi negatif .

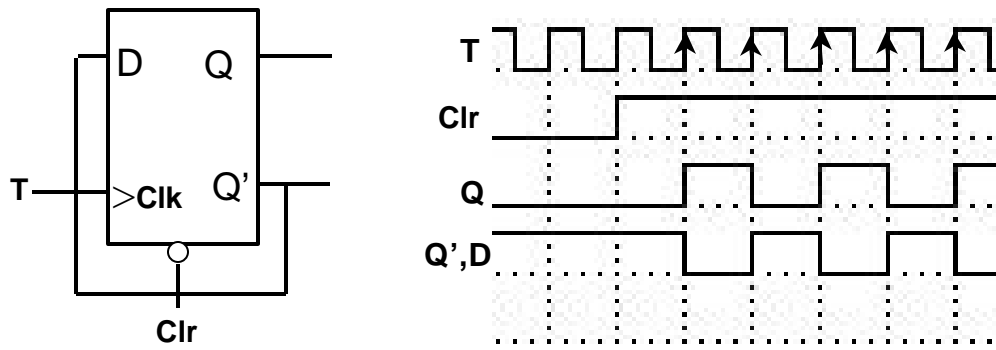
1. Membentuk T flip-flop dengan D flip-flop

T flip-flop dapat dibangun dengan D flip-flop seperti pada Gambar 16. keluaran Q' dihubungkan dengan masukan D, jadi keadaan D selalu berlawanan dengan keluaran Q. Dengan demikian setiap kali ada sisi naik pada masukan T, selalu terjadi togel (keadaan yang berlawanan dengan keadaan sebelumnya), pada keluaran rangkaian.

Dengan adanya masukan *Clear* Clr, pemakai dapat menolak keluaran Q dengan segera, karena Clr merupakan masukan tak sinkron, dengan cara memberikan nilai Clr=0. Keadaan keluaran ini akan tetap dipertahankan walaupun Clr dikembalikan = 1, sampai ada pulsa masukan pada T.

Tabel 14. T Flip-flop Menggunakan Clr

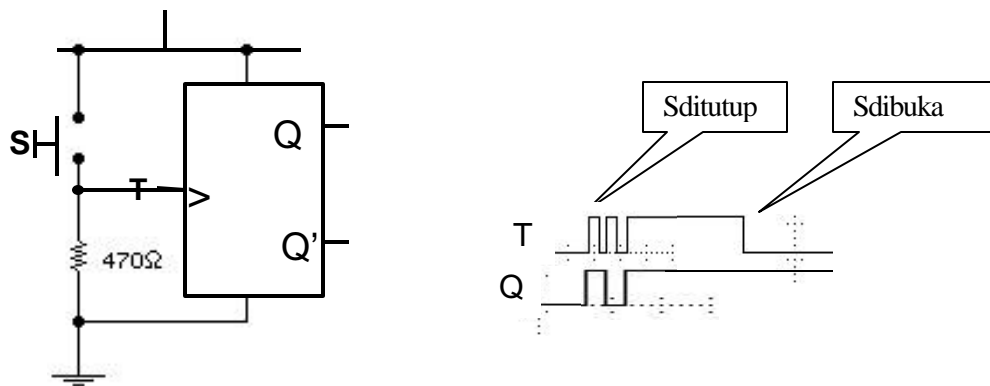
Tabel Kebenaran				
T	Clr	Q	Q'	Mode
x	0	0	1	Clear
8	1	Q'_{t-1}	Q_{t-1}	Toggle
x = sembarang				



Gambar 16. Diagram Dan Bentuk Gelombang T Flip-flop Yang Menggunakan Clr

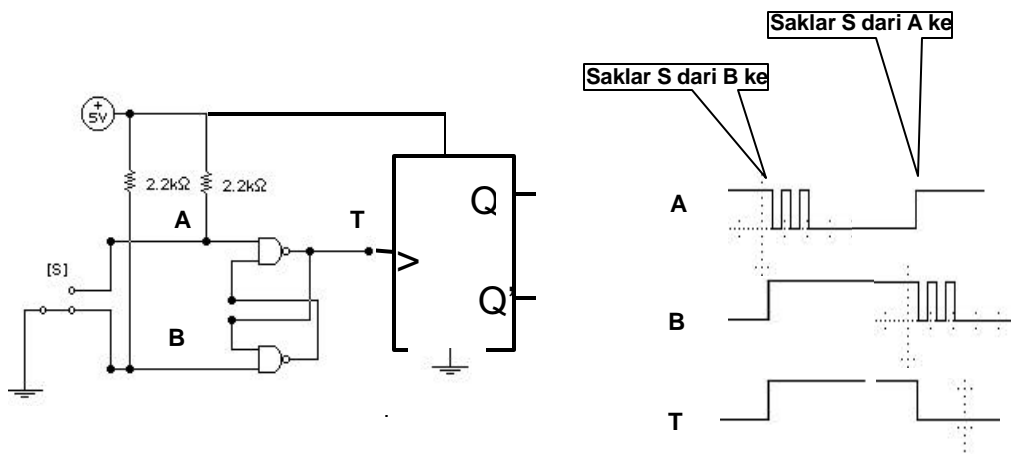
2. Saklar debouncing pada masukan T flip-flop

Setiap masukan pada Toggel flip-flop, harus bersih dari bentuk operasi yang tidak mantap. T flip-flop akan selalu merespon jika pada masukan terdapat *noise*. Keluaran keadaan ini menjadi tidak menentu, yang sering dikenal sebagai *bouncing*. Efek *bouncing* biasa terjadi pada rangkaian yang menggunakan saklar masukan secara mekanis. Misalnya saklar yang dipasang seperti pada Gambar 17.



Gambar 17. Rangkaian Saklar Yang Memungkinkan Terjadinya Bouncing Dan Bentuk Gelombang Bouncing Pada T Flip-flop.

Bouncing terjadi pada saat kontak secara mekanis, karena pada saat itu terjadi pantulan sehingga terjadi hubung dan tidak hubung, secara logik terjadi 1 dan 0 secara berulang seperti pada gelombang T, yang menghasilkan bentuk keluaran pada Q, lihat Gambar 17. Untuk menghindari terjadinya bouncing, pada saklar mekanis dipasang rangkaian pengancing (*latch*) seperti pada Gambar 18.



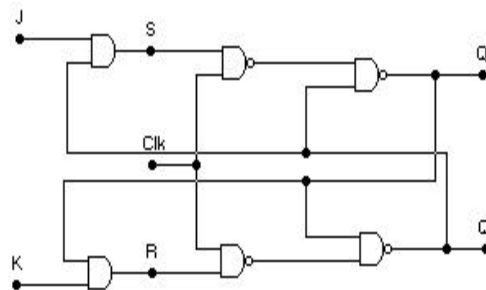
Gambar 18. Rangkaian Saklar Debouncing Menggunakan Pengancing (*latch*) Untuk Menghindari Terjadinya Bouncing Pada T Flip-flop

Pada keluaran saklar S terjadi bouncing terutama pada saat terjadi kontak mekanis lihat bentuk gelombang A pada ujung depan, atau gelombang B pada ujung belakang. Setelah melewati rangkaian latch, lihat keluaran T, bouncing tidak terjadi lagi. Rangkaian seperti ini disebut rangkaian debouncing.

3. JK flip-flop

Untuk mengatasi keadaan keadaaan terlarang pada rangkaian S-R flip-flop, karena pada keluaran terdapat penyimpangan dari definisi flip-flop

pada saat masukan $R=S=1$, dapat dilakukan modifikasi pada masukan S dan R. Modifikasi dilakukan dengan cara masukan S dihubungkan dengan keluaran Q' dan J lewat AND, dan masukan R dihubungkan dengan keluaran Q dan K lewat AND, sehingga diperoleh rangkaian flip-flop yang mempunyai masukan $S=J.Q'$, dan masukan $R=K.Q$. Rangkaian dalam konfigurasi ini, dikenal sebagai JK flip-flop lihat Gambar 19 dengan tabel kebenaran seperti pada Tabel 15.



Gambar 19. Rangkaian JK Flip-flop Yang Dibentuk Dari R-S Flip-flop Dan Gerbang AND

Tabel 15. Rangkaian JK Flip-flop Yang Dibentuk Dari R-S Flip-flop Dan Gerbang AND

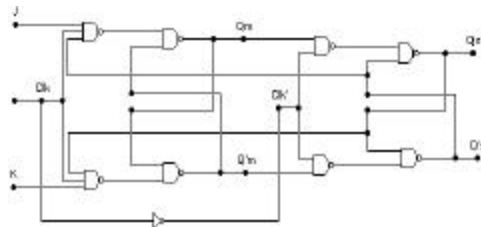
Tabel Kebenaran					
J	K	Clk	Q	Q'	Mode
x	x	0	Q_{t-1}	Q'_{t-1}	Memori
0	0	\uparrow	Q_{t-1}	Q'_{t-1}	Memori
0	1	\uparrow	0	1	Reset
1	0	\uparrow	1	0	Set
1	1	\uparrow	Q'_{t-1}	Q_{t-1}	Toggle*
x = sembarang * = dengan syarat $\uparrow < T_d < T$					

Pada rangkaian JK flip-flop, keluaran $Q = Q_{t-1}$ bila klok $Clk=0$ dan masukan J dan K sembarang. Keadaan keluaran $Q=Q_{t-1}$ ini juga terjadi bila masukan $J=K=0$ dan klok=1. Keadaan $Q=Q_{t-1}$, artinya keadaan keluaran Q tetap seperti keadaan sebelumnya, atau dengan kata lain disebut keadaan memori. Bila masukan J merupakan inversi dari K, maka setelah klok, keluaran Q selalu sama dengan masukan J. Dan bila masukan $J=K=1$, maka setelah klok, keluaran $Q=Q'_{t-1}$ yang artinya keluaran Q merupakan inversi dari keluaran keadaan sebelumnya. Keadaan yang perlu diwaspadai dalam hal $J=K=1$, adalah keadaan klok=1 yang terlalu lama.

Bila keadaan ini terjadi keluaran rangkaian menjadi tidak stabil, karena keluaran akan selalu berganti dari keadaan yang satu ke keadaan yang lain (*race around condition*). Agar keadaan tidak stabil ini tidak terjadi lamanya waktu klok=1 (periode pulsa = T_p) diusahakan harus lebih kecil dari lamanya waktu tunda (T_d) rangkaian, dan T_d harus lebih kecil dari perioda klok (T), atau dapat diformulasikan periode pulsa $T_p < T_d < T$.





4. Master Slave J-K flip-flop

Penampilan Master slave J-K flip-flop adalah penampilan yang mempunyai titik kulminasi dari segi perancangan. J-K flip-flop dapat digunakan untuk segala macam perancangan, karena Master slave JK flip-flop adalah flip-flop yang paling *versatile* dari semua jenis flip-flop yang ada. Rangkaian master-slave J-K flip-flop terlihat pada Gambar 20.



Gambar 20. Rangkaian Master Slave J-K Flip-flop Yang Dibangun Dengan Gerbang NAND

Tabel 15. Master Slave J-K Flip-flop Yang Dibangun Dengan Gerbang NAND

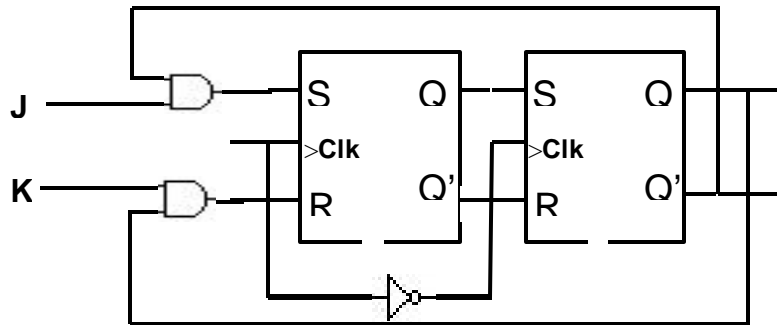
Tabel Kebenaran					
J	K	Clk	Q	Q'	Mode
x	x	0	Q_{t-1}	Q'_{t-1}	Memori
0	0		Q_{t-1}	Q'_{t-1}	Memori
0	1		0	1	Reset
1	0		1	0	Set
1	1		Q'_{t-1}	Q_{t-1}	Toggle
x = sembarang					

Dan tabel kebenarannya dapat dilihat pada Tabel 16. Rangkaian JK flip-flop pada dasarnya terdiri dari dua buah rangkaian S-R flip-flop, SR flip-flop pertama sebagai masternya, dan SR flip-flop kedua sebagai slavenya. Antara klok master dan klok slave dipasang sebuah inverter lihat Gambar 20. Bila klok dalam logik 1 maka flip-flop master merespon setiap masukan S dan R, pada saat yang sama klok slave berlogik 0 dengan demikian bagian slave tidak merespon gejala yang ada pada masukan slave atau keluaran master.

Setelah ada perubahan klok dari 1 ke 0, bagian master dalam keadaan memori, tidak merespon masukan S-R, pada saat yang sama klok bagian slave terbuka (berlogik 1), bagian slave dalam kondisi peka terhadap masukan yang merupakan keluaran dari masternya. Dengan demikian terjadi kondisi keluaran master ditransfer ke bagian keluaran slave.

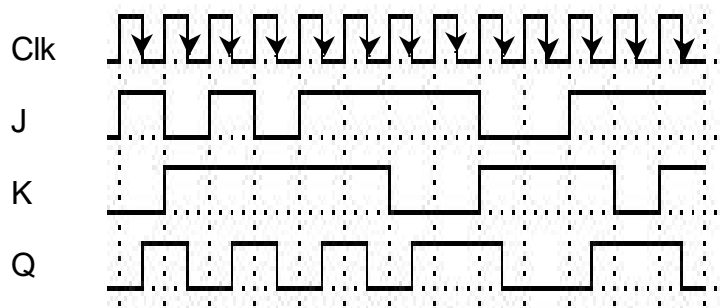
Operasi dari rangkaian master slave terdiri dari dua tahap operasi dalam satu pulsa klok, tahap pulsa sisi naik, master merespon data masukan J-K, dan tahap pulsa sisi turun, slave merespon data keluaran master, menjadi data keluaran slave. Dengan kata lain master slave merespon data masukan yang ada pada JK setelah terjadi satu pulsa klok. (lihat simbol satu

pulsa yang ada pada kolom Clk pada Tabel 16.) Master Slave JK flip-flop yang dibentuk oleh dua buah SR flip-flop dapat dilihat Gambar 21.



Gambar 21. Rangkaian Master Slave J-K Flip-flop Yang Dibangun Dengan Dua Buah S-R Flip-flop

Bentuk gelombang keluaran Q untuk masukan J dan K yang telah ditentukan, terjadi setelah satu pulsa klok, yaitu keadaan sisi turun dari klok seperti yang ditunjukkan oleh tanda panah dalam Gambar 22.



Gambar 22. Bentuk Gelombang Keluaran Master Slave JK flip-flop

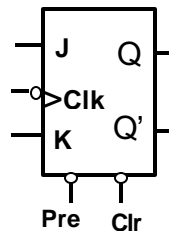
4. IC JK flip-flop yang terdapat dipasaran.

IC JK flip-flop keluarga TTL dan CMOS yang terdapat dipasaran adalah 7476 master-slave JK flip-flop yang mempunyai tabel kebenaran sebagai berikut :

Tabel 17. IC 7476 J-K Flip-flop Keluarga TTL dan CMOS

Tabel Kebenaran							
Pre	Clr	J	K	Clk	Q	Q'	Mode
0	1	x	x	x	1	0	Preset tak serempak
1	0	x	x	x	0	1	Clear tak serempak
1	1	1	0		1	0	Preset serempak
1	1	0	1		0	1	Clear serempak
1	1	0	0		Q_{t-1}	Q'_{t-1}	Clear serempak
1	1	1	1		Q'_{t-1}	Q_{t-1}	Toggle*

x = sembarang
 = bentuk gelombang satu pulsa klok
Pre = Clr = 0 kondisi invalid



7476

Satu dari 2 bagian

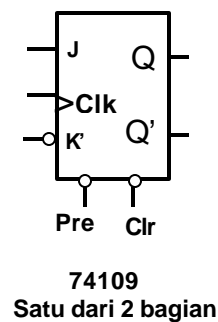
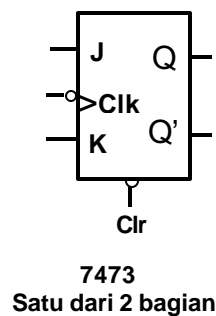
Gambar 23. Simbol Master Slave J-K Flip-flop

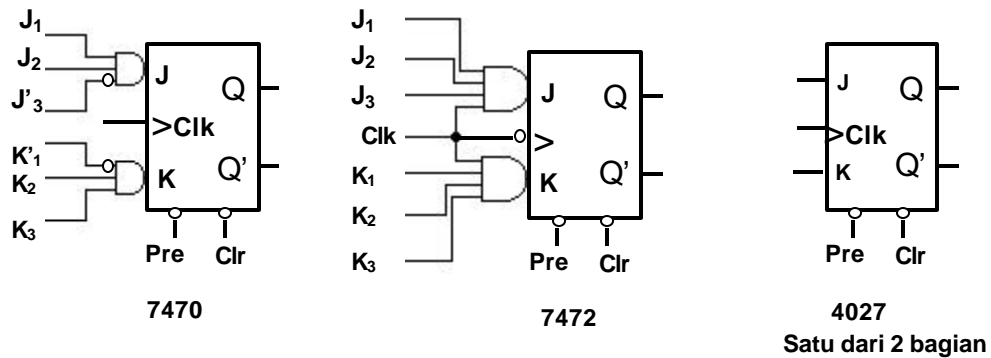
Tabel kebenaran menunjukkan bahwa J-K flip-flop memiliki 2 mode tak serempak sepanjang Pre dan Clr saling komplemen satu dengan yang lain, pada mode ini perubahan masukan J, K, dan Clk menjadi tidak berpengaruh. Keluaran Q selalu mengikuti masukan Clk.

Pengesean Pre dan Clr pada logik 1 pada saat yang sama, terjadi perpindahan kendali pada masukan J, K dan Clk. Apabila masukan J dan K saling komplemen satu dengan yang lain, keluaran Q selalu mengikuti masukan J, setelah terjadi satu pulsa klok. Keluaran Q dalam keadaan mode memori bila $Pre=Clr=1$ dan $J=K=0$, setelah terjadinya satu pulsa Clk keluaran Q akan sesuai dengan keluaran Q yang terakhir dari pulsa Clk sebelumnya.

Keluaran Q akan ber operasi pada mode Toggle sepanjang $Pre=Clr=J=K=1$. Sisi turun dari setiap pulsa klok akan mengubah keadaan keluaran Q. Bagian master dari JK flip-flop membaca masukan J, dan K pada sisi naik dari pulsa klok . Data yang ada pada master mengarahkan keluaran Q pada sisi turun dari pulsa klok. $Pre=Clr=0$ adalah kondisi mode operasi invalid yang harus dihindari.

Simbol IC 7473 sama dengan IC 7476, kecuali dalam IC 7473 tidak terdapat masukan Pre (Preset). IC 74109 adalah bukan master slave JK flip-flop; keluaran Q hanya merespon sisi naik dari pulsa, disamping masukan K adalah inversi.





Gambar 24. Diagram IC J-K dan Master Slave J-K Flip-flop Keluarga TTL dan CMOS Yang Tersedia

- 7476 J-K flip-flop dual dengan Clr tak sinkron, dan keluaran Q dan Q' (TTL)
- 7473 J-K flip-flop dual dengan Clr tak sinkron, dan keluaran Q dan Q' (TTL)
- 74109 J-K' flip-flop dual, Pre dan Clr tak sinkron, dan keluaran Q dan Q' (TTL)
- 7470 J-K flip-flop tergerbang AND dengan picu sisi naik, Pre dan Clr tak sinkron, dan keluaran Q dan Q' (TTL)
- 7472 J-K flip-flop tergerbang AND dengan Pre dan Clr tak sinkron, dan keluaran Q dan Q' (TTL)
- 4027 Master slave JK flip-flop dengan picu sisi naik, Pre dan Clr tak sinkron dan keluaran Q dan Q' (CMOS)

Lembar Kerja

Alat dan bahan :

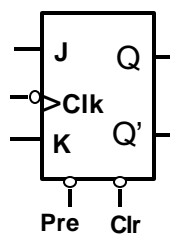
1. Power supply DC 5 Volt1 unit
2. IC 7476 (ekivalen) 1 unit
3. LED 2 buah
4. Kabel penghubung secukupnya

Kesehatan dan Keselamatan Kerja :

1. Gunakanlah pakaian praktik !
2. Bacalah dan pahami petunjuk praktikum pada setiap lembar kegiatan belajar !
3. Janganlah memberikan tegangan pada rangkaian melebihi batas yang ditentukan !
4. Hati-hati dalam melakukan praktik !

Langkah Kerja









1. Siapkan alat dan bahan yang akan digunakan !
2. Buatlah rangkaian J-K flip-flop seperti pada Gambar 23 !
3. Beri tegangan DC 5 Volt pada rangkaian !



**Gambar 23. Master Slave
J-K Flip-flop**

4. Perhatikan Q_{t+1} dan modenyanya bila Q_t , masukan J dan K diberi perlakuan seperti pada Tabel 19 !

Tabel 19. J-K Flip-flop

Tabel Kebenaran					
J	K	Q_t	Clk	Q_{t+1}	Mode
0	0	0			
0	0	1			
0	1	0			
0	1	1			
1	0	0			
1	0	1			
1	1	0			
1	1	1			

5. Jika selesai praktik, lepas semua rangkaian dan kembalikan alat dan bahan ke tempat semula !

Lembar Latihan

1. Buatlah tabel kebenaran untuk percobaan diatas !
2. Bila pada rangkaian T flip-flop kaki Q_t dan T diberi perlakuan seperti pada Tabel 18 maka tentukan keluaran dari Q_{t+1} dan modenyanya !

Tabel 18. T flip-flop Sisi Turun

Tabel Kebenaran			
T	Q_t	Q_{t+1}	Mode
0Ψ1	0		
1Ψ0	0		
0Ψ1	1		
1Ψ0	1		

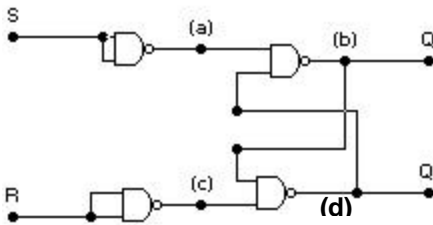
3. Mengapa pada master slave J-K flip-flop keadaan race around tidak terjadi?

LEMBAR EVALUASI

A. Pertanyaan

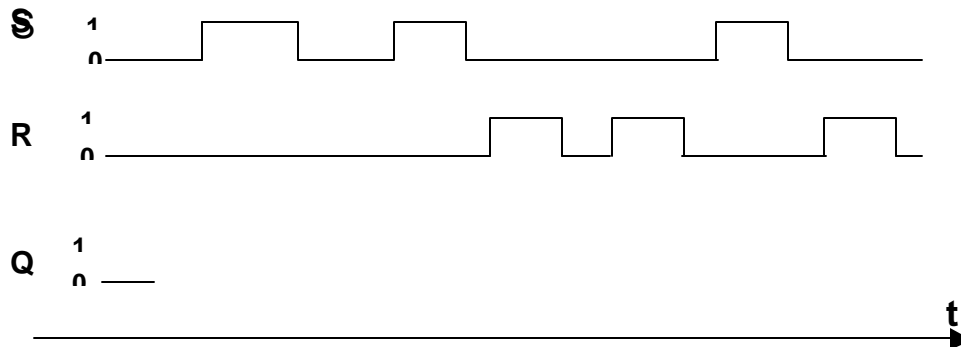
1. Sebuah R-S flip-flop di bangun dari gerbang NAND seperti pada Gambar 25. Tentukan keadaan logik pada titik a, b, c, dan d bila kondisinya sebagai berikut:

- a) $S = 0, R = 0$ dan $Q = 0$
- b) Seperti point a, tetapi S berubah dari 0 ke 1.
- c) $S = 0, R = 0$ dan $Q = 1$, dan R berubah dari 0 ke 1.



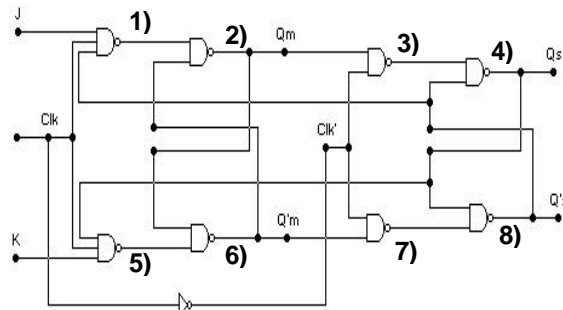
**Gambar 25. R-S Flip-flop
Dari Gerbang NAND**

2. Bentuk gelombang masukan S dan R dari S-R flip-flop gambar soal no. 1 seperti pada gambar berikut . Tentukan gambar bentuk gelombang keluaran Q dengan menganggap awal keluaran $Q = 0$!



3. Sebuah master slave JK flip-flop seperti pada gambar, anggap bahwa kondisi awal $J=K=Q_m = Q_s =0$, telusurilah keadaan level logik masing gerbang untuk perubahan empat pulsa klok berturutan:

- J, 061, K, 060, setelah pulsa klok pertama
- J, 161, K, 061, setelah pulsa klok kedua
- J, 160, K, 160, setelah pulsa klok ketiga.
- J, 061, K, 060, setelah pulsa klok keempat



Gambar 26. Master Slave J-K Flip-flop

- Gambarlah bentuk gelombang masukan J, K, Qm dan Qs untuk perioda pulsa 4 klok dari soal no.3 diatas !
- Dengan kondisi awal yang sama seperti soal no 3. Tentukan nilai akhir keluaran Qs jika masukanya diubah menurut urutan berikut ini:
 - Ck, 061, J, 061, Ck, 160
 - J, 061, Ck, 061, K, 061, J, 160, Ck, 160

B. Kriteria Kelulusan

No. Soal	Skor Maksimal	Keterangan
1	15	Nilai maksimal 100 Syarat lulus skor minimal 70
2	15	
3	40	
4	20	
5	10	



LEMBAR JAWABAN LATIHAN

A. KEGIATAN BELAJAR 1

1. Tabel kebenaran masing-masing percobaan :

**Tabel 6. Pengancing
Dengan Gerbang NAND**

Tabel Kebenaran				
No	A	B	Q	Q'
1.	0	0	1	1
2.	0	1	1	0
3.	1	1	1	0
4.	1	0	0	1
5.	1	1	0	1

**Tabel 7. Pengancing
Dengan Gerbang NOR**

Tabel Kebenaran				
No	A	B	Q	Q'
1.	1	1	0	0
2.	0	1	1	0
3.	0	0	1	0
4.	1	0	0	1
5.	0	0	0	1

2. Keadaan terlarang terjadi pada keadaan No.1 karena $Q=Q'$ Keadaan memori terjadi baris No 3 dan 5. karena keluaran Q sama seperti keadaan sebelumnya, yaitu pada keadaan $A=B=1$ Keadaan keluaran $Q =$ masukan B, terjadi pada baris No 2 dan 4, karena masukan A tidak sama dengan masukan B.
3. Keadaan terlarang terjadi pada keadaan No.1 karena $Q=Q'=0$ Keadaan memori terjadi baris No 3 dan 5. karena keluaran Q sama seperti keadaan sebelumnya, yaitu pada keadaan $A=B=0$. Keadaan keluaran $Q =$ masukan B, terjadi pada baris No 2 dan 4, karena masukan A tidak sama dengan masukan B.
4. Keadaan stabil mantap adalah keadaan flip-flop yang keluarannya selalu tetap sebelum ada picu berikutnya.
5. Penambahan masukan klok pada flip-flop dimaksudkan untuk dapat mengoperasikan masukan-masukannya secara serempak.
6. S-R Flip-flop terdetak standard mempunyai keluaran awal Q_t dan Q'_t , dan keluaran setelah klok Q_{t+1} dan Q'_{t+1} . Bila kondisi awal masukan R, S dan keluaran awal Q seperti tertera dalam tabel 1.5, tentukan

keluaran Q_{t+1} dan kondisi modenyanya. Sebagai contoh baris no1 masukan $R=0$, $S=0$, dan keluaran $Q_t=0$, maka setelah diklok = 0 karena $Q_{t+1} = Q_t$ pada $R=S=0$ maka modenyanya adalah mode memori.

Tabel 8. S-R Flip-flop Terdetak Standar

Tabel Kebenaran						
No	R	S	Q_t	Clk	Q_{t+1}	Mode
1	0	0	0		0	Memori
2	0	0	1		1	Memori
3	0	1	0		1	Set
4	0	1	1		1	Set
5	1	0	0		0	Reset
6	1	0	1		0	Reset
7	1	1	0		1	Toggle
8	1	1	1		0	Toggle

B. KEGIATAN BELAJAR 2

1. Tabel kebenaran untuk masing-masing percobaan :

Tabel 11. D Flip-flop Dengan Picu Level

Tabel Kebenaran				
D	Q	Clk	Q_{t+1}	Mode
0	0	0	0	Memori
0	0	1	0	Data in
0	1	0	1	Memori
0	1	1	0	Data in
1	0	0	0	Memori
1	0	1	1	Data in
1	1	0	1	Memori
1	1	1	1	Data in

Tabel 12. D Flip-flop Dengan Picu-sisi

Tabel Kebenaran				
D	Q	Clk	Q_{t+1}	Mode
0	0	0	0	Memori
0	0	1	0	Memori
0	1	0	1	Memori
0	1	1	1	Memori
1	0	0	0	Memori
1	0	1	0	Memori
1	1	0	1	Memori
1	1	1	1	Data in
0	0	8	0	Data in
0	1	8	0	Data in
1	0	8	1	Data in
1	1	8	1	Data in

2. Perbedaannya adalah D flip-flop yang menggunakan level, keadaan memori terjadi pada level klok 0, dan keadaan data in pada level klok 1. Sedang D flip-flop yang menggunakan sisi picu keadaan memori terjadi pada level klok 0 maupun 1, dan keadaan data in terjadi pada sisi naik atau sisi turun dari klok .

C. LEMBAR KEGIATAN 3

1. Tabel Kebenaran

Tabel 19. J-K Flip-flop

Tabel Kebenaran					
J	K	Q_t	Clk	Q_{t+1}	Mode
0	0	0		0	Memori
0	0	1		1	Memori
0	1	0		0	Reset
0	1	1		0	Reset
1	0	0		1	Set
1	0	1		1	Set
1	1	0		1	Toggle
1	1	1		0	Toggle

2. Tabel Kebenaran T flip-flop

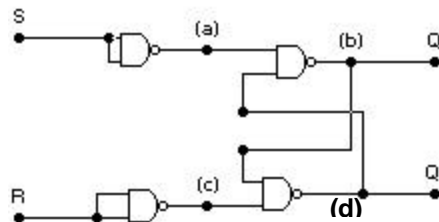
Tabel 18. T flip-flop Sisi Turun

Tabel Kebenaran			
T	Q_t	Q_{t+1}	Mode
0Ψ1	0	0	Memori
1Ψ0	0	1	Toggle
0Ψ1	1	1	Memori
1Ψ0	1	0	Toggle

3. Pada master slave J-K flip-flop keadaan race around tidak terjadi karena umpan balik dipotong oleh kerja inverter pada klok sehingga terjadi proses dua tahap, yaitu tahap pertama klok naik yang merespon hanya master, dan klok turun yang merespon hanya slave. Dengan demikian tidak terjadi umpan balik secara langsung yang menyebabkan terjadinya *race around*.

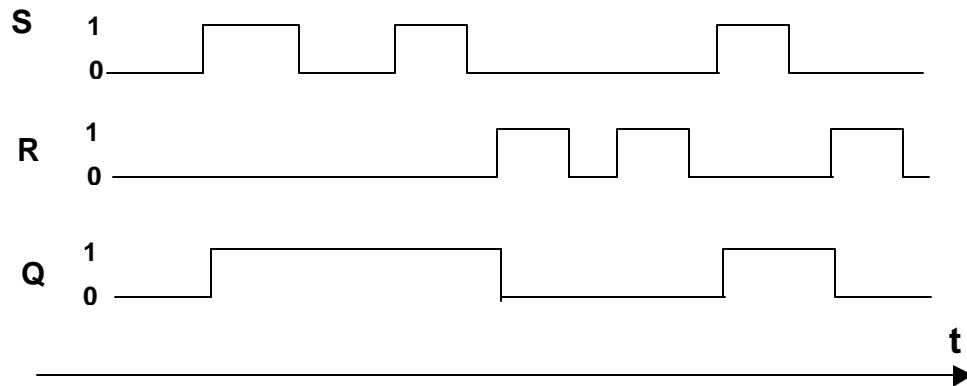
D. LEMBAR EVALUASI

1. Keadaan logik pada titik a, b, c, dan d, sebuah R-S flip-flop yang dibangun dari gerbang NAND seperti pada gambar bila kondisi masukan kondisi keluaran sebelumnya diketahui adalah sebagai berikut:
- $S=0, R=0$ dan $Q=0$, maka $a=1, b=0, c=1$, dan $d=1$
 - Seperti pada a), tetapi S berubah dari 0 ke 1, maka $a=0, b=1, c=1$, dan $d=0$
 - $S=0, R=0$ dan $Q=1$, dan R berubah dari 0 ke 1, maka $a=1, b=0, c=0$, dan $d=1$



**Gambar 25. R-S Flip-flop
Dari Gerbang NAND**

2. Bentuk gelombang keluaran Q dengan menganggap keluaran awal $Q = 0$ adalah sebagai berikut :



3. Sebuah master slave JK flip-flop seperti pada gambar, anggap bahwa kondisi awal $J=K=Q_m = Q_s = 0$, telusurilah keadaan level logik masing gerbang untuk perubahan empat pulsa klok berturutan:

a. J, 061, K, 060, setelah pulsa klok pertama maka :

Untuk pulsa sisi naik :

1)=160, 2)=061, 3)=161 4)=060, 5)=161, 6)=160, 7)=061, 8)=161

Untuk pulsa sisi turun :

1)=061, 2)=161, 3)=160 4)=061, 5)=161, 6)=060, 7)=161, 8)=160

b. J, 161, K, 061, setelah pulsa klok kedua maka :

Untuk pulsa sisi naik :

1)=161, 2)=160, 3)=061, 4)=161, 5)=161, 6)=061, 7)=161, 8)=060

Untuk pulsa sisi turun :

1)=161, 2)=060, 3)=161, 4)=160, 5)=161, 6)=161, 7)=160, 8)=061

c. J, 160, K, 160, setelah pulsa klok ketiga maka :

Untuk pulsa sisi naik :

1)=161, 2)=060, 3)=161, 4)=060, 5)=161, 6)=161, 7)=061, 8)=161

Untuk pulsa sisi turun :

1)=161, 2)=060, 3)=161, 4)=060, 5)=161, 6)=161, 7)=160, 8)=161

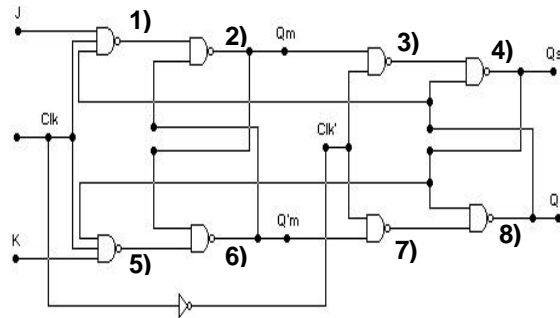
d. J, 061, K, 060, setelah pulsa klok keempat maka :

Untuk pulsa sisi naik :

1)=160, 2)=061, 3)=161 4)=060, 5)=161, 6)=160, 7)=061, 8)=161

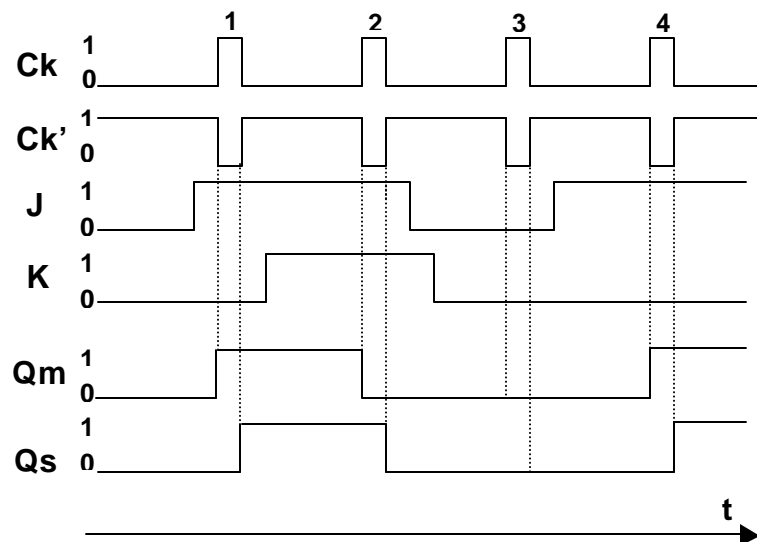
Untuk pulsa sisi turun :

1)=061, 2)=161, 3)=160 4)=061, 5)=161, 6)=060, 7)=161, 8)=160



Gambar 26. Master Slave J-K Flip-flop

4. Gambar bentuk gelombang masukan J, K, Qm dan Qs untuk perioda pulsa 4 klok dari soal no.3 diatas.



Gambar 26. Bentuk Gelombang J, K, Qm dan Qs Master Slave J-K Flip-flop

5. Dengan kondisi awal yang sama seperti soal no 3. Maka nilai akhir keluaran Qs jika masukanya diubah menurut urutan berikut ini adalah :
- a. Ck, 061, J, 061, Ck, 160 maka $Qs = 1$
 - b. J, 061, Ck, 061, K, 061, J, 160, Ck, 160 maka $Qs = 1$

DAFTAR PUSTAKA

B. Holdsworth. **Digital Logic Design.** England: Butterworth & Co (Publishers) Ltd, 1982.

David L. Heiserman. **Handbook of Digital IC Applications.** New Jersey : Prentice Hall , Inc., 1980

Fred Hilsenrath Bill Pierce. **Digital Logic Circuits and Systems.** United States of America: Delmar Publishers Inc., 1988